

文章编号:1007-2780(2009)06-0891-05

基于 Nios II 的 LED 虚拟像素显示屏控制器的设计

高 恭 娴

(南京信息职业技术学院 电子信息学院,江苏 南京 210036,E-mail:gao_gx_@hotmail.com)

摘 要: 根据 LED 虚拟显示屏的要求和特点,利用片上系统和可编程片上系统的设计方法,提出 LED 虚拟显示屏控制系统的完整设计方案。在 LED 时序发生器的设计中专门提出了一种改进型的 D/T 转换技术,无需任何预先数据处理,只用一个函数控制所有像素点的亮度。结果表明,设计方案解决了 LED 虚拟显示屏由于像素分时复用而带来的控制系统速度要求提高的问题,保证了屏幕的刷新速率,同时还降低了真彩显示系统的复杂性,能够保证画面的有效实时显示,具有较强的实用性。

关 键 词: LED 显示屏;虚拟像素;SoPC 系统;DMA 传输;Nios 软核;Avalon 总线
中图分类号: TN873.93;TN402 **文献标识码:** A

1 引 言

近年来,国内 LED 显示屏行业飞速发展,LED 以其高亮度、低功耗、长寿命、高可靠性和控制灵活等优点被认为是一种理想的高亮度光源,作为户外大面积显示越来越受到用户的欢迎^[1,2]。人们对 LED 显示屏的关键技术进行了深入的研究,“虚拟像素”技术就是提高显示终端分辨率的方法之一,它可以提高显示性能,在同等的灯管数量下,虚拟像素显示相当于 4 倍的实像素显示的效果;可以大幅降低整屏的造价,使用虚拟像素可以在同等分辨率下少用 3/4 的灯管而且达到同等的视觉效果;还可以降低人观看时的疲劳感,因为在 LED 大屏上发光点越是均匀分布,同等面积下发光越是均匀。

本文利用片上系统(System on chip,SOC)和可编程片上系统(System on programmable Chip,SOPC)的设计方法,提出了 LED 虚拟显示屏控制系统的完整设计方案,能够保证画面的有效实时显示,具有较强的实用性。

2 虚拟显示原理

“虚拟像素”技术其实质就是利用人眼的视觉暂留现象,对实像素进行分时复用,复现更多显示信息点(虚像素点)的技术,也就是所谓的像素共

享技术^[1]。以 3 列 3 行 9 个实像素点(LED 像素配比采用(红 2 绿 1 蓝 1))为例进行说明,如图 1 所示。

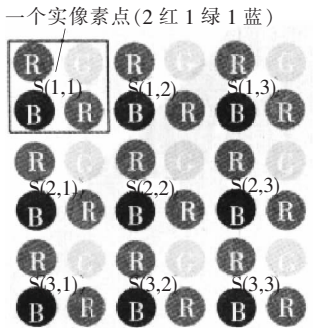


图 1 LED 实像数
Fig.1 LED pixel

把一幅完整的画面分解成 4 个不同时刻的图像,第一时刻显示如图 1 中方框所示 S(1,1);第二时刻显示 S(1,1)的 G、R 和 S(1,2)的 R、B;第三时刻显示 S(1,1)的 B、R 和 S(2,1)的 R、G;第四时刻显示 S(1,1)的 R、S(1,2)的 B、S(2,1)的 G 和 S(2,2)的 R。每个时刻的虚拟像素点在其 4 个发光管的中心(图 2),每个时刻的像素基本点部分复用而又不完全相同,这样可以保证形成的虚像素点不会重叠,显示画面稳定细腻。这 4 个时刻由于相隔时间很短,所以利用人眼的视觉暂留

现象可以叠加成一幅画面。图 2 中除四周边缘的 LED 灯外,其他 LED 灯四周都有 4 个“虚拟像素”点,即这些 LED 灯被复用了 4 次。 $N(\text{行}) \times M(\text{列})$ 的实像素可虚拟成 $(2N-1) \times (2M-1)$ 的“虚拟像素”,当 N 与 M 较大时, $(2N-1) \times (2M-1) \approx 2N \times 2M = 4NM$,即虚像素点数约为实像素点数的 4 倍^[1]。正是由于一帧图像由 4 个不同的显示图像叠加而成,如果要重现原有的图像则要求控制系统的扫描速度提高到原来的 4 倍。为了最大限度地解决以上的问题,本文提出了基于 SOPC(system on programmable chip)技术,采用嵌入式 Nios II 软核处理器,在 FPGA 芯片上完成 LED 虚拟显示屏控制器的设计方案,不但能提高控制器的扫描速度,还能降低 LED 显示屏的成本、减少研发周期,同时由于集成度的增加而提高了系统的可靠性和稳定性^[3]。

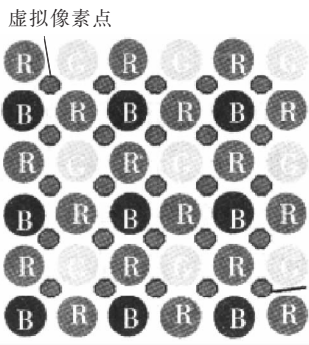


图 2 LED 虚拟像素
Fig. 2 LED virtual pixel

3 系统硬件设计

Altera 的 Nois 是用户可随意配置的 32/16 位总线(用户可选)指令集和数据通道的嵌入式系统 IP 软核,采用 Avalon 总线结构通信接口,带有增强的内存、调试和软件功能(C 或汇编程序优化功能);具有 Quartus II 平台的用户可编辑的 Nois 核含有很多接口模块核,包括:可配置高速缓存模块、可配置 RS232 通信口、SDRAM 控制器、标准以太网协议接口、DMA、定时器、协处理器等。在植入(配置进)FPGA 前,用户可根据设计要求,利用 Quartus II 和 SOPCbuilder,对 Nois 及外围系统进行构建,使该嵌入式系统在硬件结构、功能特点、资源占用等方面全面满足用户设计系统要求^[4]。

3.1 FPGA 结构设计

本系统采用 EP1C6QC240C8 cyclone FPGA 芯片,此芯片支持在线配置 Nios 软核。系统利用 SOPC Builder 及其芯片所提供的 Avalon 总线,配置了 32 位 CPU 软核以及 ROM、RAM、FIFO、SDRAM 和 DMA 等片内外资源,用以存储和快速传输数据。

FPGA 硬件结构如图 3 所示。用硬件描述语言写用户逻辑,创建 Alvalon Slave 接口,直接连接到 DMA 控制器的主端口,在 Nios II IDE 环境下用 C 语言编写 DMA 初始化和控制程序。通过 Nios II CPU 数据和程序总线写 DMA 的控制字,按照 Avalon 总线从模式传输的总线接口时序控制数据的传输,流模式的数据传输在 FIFO 与 Avalon 总线的接口上能够做到无缝连接。Nios II 的主端口的时钟是内部总线的时钟,本系统采用 50 MHz,用流模式传输的最大带宽能达到 100 Mbit/s。

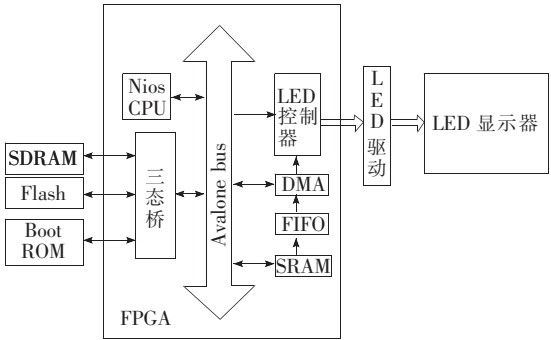


图 3 FPGA 系统结构图
Fig. 3 Block diagram of FPGA system

3.2 LED 控制器的设计

Avalon 流模式 LED 控制器结构如图 4 所示。用硬件描述语言设计 LED 时序发生器,由于像素点的亮度是以二进制数字形式存储在 SDRAM 中的,所以 LED 时序发生器的设计采用

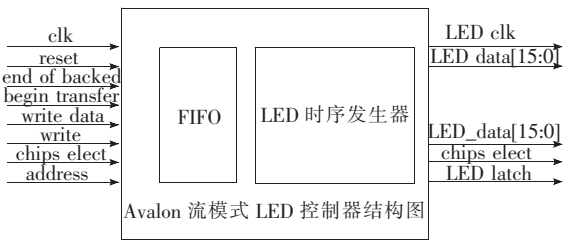


图 4 Avalon 流模式 LED 控制器结构图
Fig. 4 Configuration of Avalon LED controller

D/T 转换技术^[5]。

由视觉原理可知,人对像素点的平均亮度感觉可取决于它的亮/灭占空比,只要将代表像素点亮度的数字转换为像素点发光的时间(D/T 转换),即实现了亮度的 D/A 转换。

控制任意像素点亮度的数据为 n 位二进制数 $D = \sum_{i=0}^{n-1} b^i 2^i$ (其中 $b^i = 0$ 或 1),设屏幕数据刷新的周期为 T_s ,相应于 D 的发光时间为 $T_{on} = \frac{T_s}{2^n} \cdot$

$\sum_{i=0}^{n-1} b_i 2^i$, T_{on} 可以分成几个时间段,当 $T_s/2^n$ 足够小时,几个分离时间段合成的 T_{on} 与总长度相同的连续的 T_{on} 其视觉效果是相同的,因此在电路实现上只要用一个函数 $f(i)$ 即可以统一控制各个像素点实现全屏幕所有像素点相互独立而又同步的 D/T 转换。单个位的逻辑结构如图 5 所示。

其中 $T_s = T_1 + T_2 + T_3 + T_4 + T_5 + T_6 + T_7 + T_8$, $T_n = 2^{n-1} T_1$, $T_1 = T_s/2^n$ 。

对于单个像素点来说用图 5 的电路即可实现同步的 D/T 转换。如果 R,G,B 真彩数据是 8 位则每一帧画面显示一个像数真彩信号的时间需要移位 8 次,即 250 个基本周期(T_1)。如果考虑到 LED 大屏幕显示器每秒最多显示 30 帧,采用 1/8

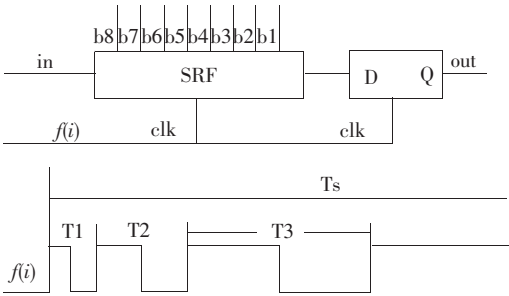


图 5 转换逻辑电路
Fig. 5 D/T logic conversion circuit

驱动模式和虚拟像素的 1/4 的时分复用,再考虑选用 16 位移位锁存 LED 恒流驱动电路,实际要求的时间为 $4MT_1(30 \times 8 \times 4 \times 256 \times 16)$ 。

4 系统软件设计

CPU 利用 SOPC Builder 产生,其结构如图 6 所示。为了方便用户使用,系统还外挂了一个按键键盘和 LCD 16×2 显示屏用于参数设置。

系统硬件要正确运行,还需要在 Nios II IDE 的软件环境中正确地配置 DMA 的控制寄存器,同时设计好 DMA 的源地址和目的地址。CPU 在初始化时通过控制端口(Control Port)配置 DMA 外设。实现 LED 虚拟显示屏控制器流程

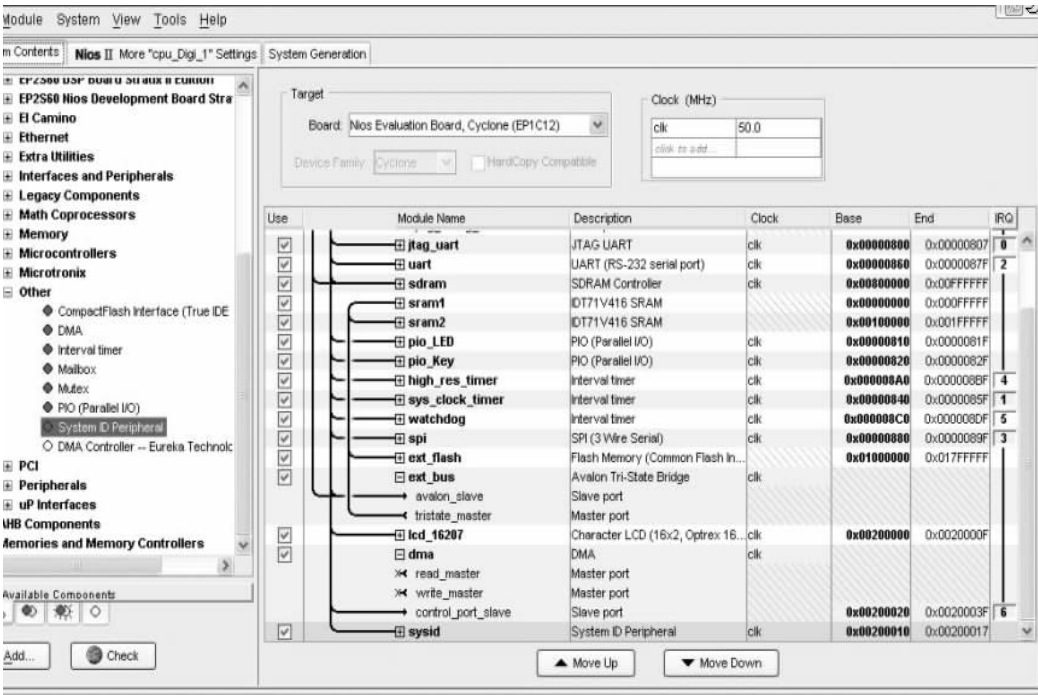


图 6 Nios CPU 结构
Fig. 6 Configuration of Nios CPU

如图 7 所示。

整个系统中,初始化是 DMA 关键,其初始化流程如图 8 所示。

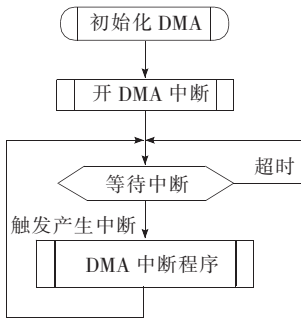


图 7 LED 虚拟显示屏控制器流程图
Fig. 7 Flow chart of LED virtual pixel display controller

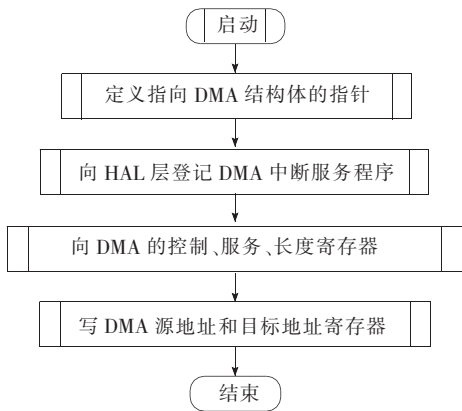


图 8 DMA 初始化流程图
Fig. 8 DMA initializing process

在注册 DMA 设备的函数中,NiosII 会调 sys_dev_init 函数完成 DMA HAL 层的初始化,同时指明中断服务程序的函数入口地址,而其他语句主要是完成 DMA 寄存器的正确配置。

DMA 模块如图 9 所示,从图中可以看到一个 DMA 控制器具有 3 个 Avalon 总线接口,分别为:一个 Avalon 读主端口(Avalon Read Master Port);一个 Avalon 写主端口(Avalon Write Master Port);一个 Avalon 从端口(Avalon Slave Port),读写均可。

两个主端口都是用于 DMA 通道的,而从端口用于 DMA 控制相关寄存器的读写。

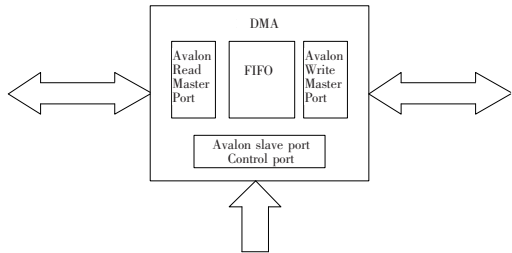


图 9 DMA 外设模块
Fig. 9 Module of DMA

一个典型的 DMA 传输过程如下:
CPU 通过控制端口(Control Port)配置 DMA 外设,准备启动 DMA 传输。

CPU 启动 DMA 外设进行 DMA 传输,DMA 外设开始在没有 CPU 干预的情况下传送数据。

DMA 读端口从读地址读取数据,然后向 FIFO 依次写入数据,DMA 写端口从 FIFO 中读取数据并向目标地址写入数据;在传输过程中可以不需要 CPU 进行干预。但 CPU 可以终止当前的 DMA 传输过程。

当传输数据达到指定长度或者遇到包结束符(EOP)时,DMA 传输结束,DMA 外设将产生一个 DMA 传输结束中断。

4 结 论

在 LED 虚拟像素显示屏控制器的设计中,利用可编程片上系统(SOPC)解决方案,选用 Nios II 32 位处理器,极大地提高了数据处理的速度,加快了扫描频率。同时,由于采用了改进型的 D/T 转换技术,很方便地用一个函数实现了所有像数点亮度的控制,使 LED 时序电路发生器的设计更为简洁合理,从而对于相同规模的驱动器来说在不减少控制范围的基础上能获得清晰、稳定的画面,改善了总体的视觉效果。

参 考 文 献:

[1] 王桥立,郝宗潮. LED 显示屏虚拟像素原理及应用 [J]. 现代显示, 2004, (2): 33-35.
[2] 孙文胜,郑玲玲. LED 真彩显示屏扫描控制的研究 [J]. 液晶与显示, 2008, 23(6): 732-735.
[3] 孙伟,龚兆岗, 杨忠根,等. 基于 Nios 的 LED 显示屏控制系统 [J]. 上海海事大学学报, 2005, 26(6): 74-77.
[4] 潘松,黄继业,曾毓. SOPC 技术实用教程 [M]. 北京:清华大学出版社, 2004.

[5] 刘曙光. LED 电子显示屏真彩实现 [J]. 现代电子技术, 2001, (2): 8-12.

Design of LED Virtual Pixel Display Panel Controller Based on Nios II

GAO Gong-xian

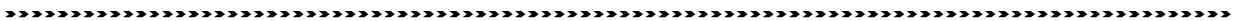
(College of Electric Information, Nanjing College of Information Technology,
Nanjing 210036, China, E-mail: gao_gx@hotmail.com)

Abstract

A complete design of the virtual LED display control system was proposed according to the special request and the characteristic of LED virtual display monitor, and by using the design method of the system on chip (SOC) and the programmable system on chip (SOPC). This paper proposed specially one kind of improved D/T transformation technology in the LED sequence generator's design. It does not need any data processing in advance, only uses a function to control the brightness of all pixel likely. The result indicated that this design has solved the problem of high-speed requirement for the control system, which is caused by the pixel time division multiplex access (TDMA) in the LED virtual display panel, guaranteed the displayer's refreshing speed, meanwhile reduced the real color display system's complexity. This design proposal can guarantee that the picture displays effectively and in real-time, and has the strong usability.

Key words: LED display; virtual pixel; SoPC system; direct memory access transmit; Nios soft core; Avalon bus

作者简介:高恭娴(1961—),女,江苏泰州人,副教授,主要从事电子产品开发工作。



作者更正

关于《透明导电薄膜 ZnO:Zr 的制备及特性研究》一文(见本刊 2009 年,24(1):61~65)的更正及说明:

进一步的研究发现文中图 1、图 2、图 3 中的数据并非本文实验条件下制备薄膜样品的测量值,这些实验数据无效。正确的测试结果表明:薄膜样品的 XRD 图谱、晶粒尺寸及 SEM 形貌随功率的变化关系与文中图 1、图 2 和图 3 给出的变化关系一致,故原来对图 1、图 2 和图 3 作的定性分析说明部分可用。但晶粒尺寸随溅射功率的变化比文中更显著:图 2 中,当溅射功率为 85、100、115、130、145 W 和 160 W 时,薄膜的晶粒尺寸分别为 15.3、19.7、22.7、21.4、20.1 nm 和 19.8 nm 的数据有误,应更正为 11.8、15.5、38.1、31.5、28.5 nm 和 25.9 nm。

由于本人工作上的疏忽,给广大读者及编辑部带来的诸多不便,敬请谅解!

作者:张化福